

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-150971

(43)Date of publication of application : 27.06.1991

(51)Int.Cl.

H04N 1/387

G06F 15/66

G09G 5/36

(21)Application number : 01-289055

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.11.1989

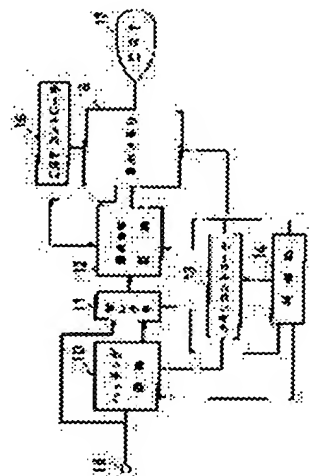
(72)Inventor : NISHIKAWA KENICHI
KUROSU YASUO
YOKOYAMA YOSHIHIRO
IZUNO NOBUAKI
MASUZAKI HIDEFUMI

(54) DISPLAY SYSTEM AND DEVICE FOR SYNTHESIZED PICTURE AND HATCHING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate need for a large capacity display memory by displaying a picture with hatching while distinguishing it from other picture when plural pictures are displayed with synthesis.

CONSTITUTION: A synthesized picture display section consists of a hatching circuit 10, a selector 11, a picture element synthesizing circuit 12, a memory controller 13, a control section 14, a CRT controller 15, a display memory 16, a CRT 17 and an input terminal 18. Then one picture is subjected to prescribed hatching prior to the synthesis on a display screen and the hatched picture is synthesized with other picture to display the one picture on the display screen while distinguishing it from the other picture. Thus, when plural pictures are displayed with synthesis, no large capacity display memory is required.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-150971

⑬ Int. Cl.³

H 04 N 1/387
G 06 F 15/66
G 09 G 5/36

識別記号

4 5 0

庁内整理番号

8839-5C
8419-5B
8839-5C

⑭ 公開 平成3年(1991)6月27日

審査請求 未請求 請求項の数 7 (全11頁)

⑮ 発明の名称 合成画像の表示方式および装置ならびにハッチング回路

⑯ 特 願 平1-289055

⑰ 出 願 平1(1989)11月7日

⑱ 発 明 者 西 川 健 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑱ 発 明 者 黒 須 康 雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑱ 発 明 者 横 山 佳 弘 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑱ 発 明 者 伊 豆 野 信 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 富田 和子
最終頁に続く

明 細 書

1. 発明の名称

合成画像の表示方式および装置ならびにハッチング回路

2. 特許請求の範囲

1. 複数の独立した画像を表示画面上で合成して表示する合成画像の表示方式であって、

前記表示画面上での合成の前に一の画像に対して予め定めたハッチングを施し、該ハッチングを施された画像を他の画像と合成することにより、表示画面上で前記一の画像を他の画像と区別して表示することを特徴とする合成画像の表示方式。

2. 複数の独立した画像を表示画面上で合成して表示する合成画像の表示方式であって、

画素に1対1に対応した記憶要素を有する表示メモリと、

画像データをそのまま前記表示メモリに書き込み、あるいは、前記表示メモリの内容を読みだして該内容と他の画像データとを合成して当該

表示メモリに書き込む書き込み手段と、

画像データに予め定めたハッチングを施すハッチング手段と、

画像データを前記書き込み手段に対して、直接与えるか、あるいは前記ハッチング手段を介して与えるかを切り換える切換手段と、

前記表示メモリの内容を読みだして表示信号を出力する表示制御手段と

を備えたことを特徴とする合成画像の表示装置。

3. 前記ハッチング手段は、画像を複数の分割した部分領域の画像データを格納するバッファメモリと、画像データに基づいて各部分領域がハッチングを施すべき部分領域であるかを判定する判定手段と、ハッチングのためのハッチングパターンを格納するパターンメモリと、前記バッファメモリに格納された部分領域が前記判定手段によりハッチングを施すべきと判定された場合、前記バッファメモリの内容を前記パターンメモリのハッチングパターンにより修飾して出力する合成回路とにより構成されること

を特徴とする請求項2記載の合成画像の表示装置。

4. 複数の独立した画像を表示画面上で合成して表示する合成画像の表示方式であって、

画素に1対1に対応した記憶要素を有する表示メモリと、

画像データをそのまま前記表示メモリに書き込み、あるいは、前記表示メモリの内容を読みだして該内容と外部の画像データとを合成して当該表示メモリに書き込む書き込み手段と、

画像を複数の分割した部分領域について、該部分領域がハッチングを施すべき部分領域であるかを判定する判定手段と、

該判定手段の判定結果を各部分領域ごとに格納する判定結果格納手段と、

ハッチングのためのハッチングパターンを格納するパターン格納手段と、

表示用データと前記ハッチングパターンとを合成する合成手段と、

前記表示用データを前記表示メモリから読み

だした前記ハッチングパターンとの間に対応する画素単位に論理演算を行う合成回路と

を備えたことを特徴とするハッチング回路。

5. 図形をベクトルデータとして入力するベクトルデータ入力方式であって、

前記図形を表す線図を記載した図面を走査することにより画像データを得て、

該画像データに対して画素の間引き処理を施した画像データを表示メモリ上に書き込み、

該間引き処理により破線化された線図に従って、座標入力デバイスにより座標点を入力し、

該入力された座標点に対応するベクトルデータを記憶装置に格納し、

表示メモリ上で該ベクトルデータによる線図を前記破線化された線図と合成して、該合成画像をディスプレイ上に表示することを特徴とするベクトルデータの入力方式。

7. 画像入力手段と、該画像入力手段により入力された画像を格納する画像蓄積手段と、該蓄積

手段に格納した画像を検索する検索手段と、画像をモノクロで表示する表示手段と、前記画像を印刷する印刷手段とを備えた電子ファイリング装置における合成画像の表示方式であって、

多色で記録された文書を前記画像入力手段により各色ごとの画像を連続取り、一の色の画像にハッチングを施した後、他の画像と合成して前記表示手段に表示することを特徴とする合成画像の表示方式。

5. 画像データに対してハッチングを施すハッチング回路であって、

画像を複数の分割した部分領域の画像データを格納するバッファメモリと、

画像データに基づいて各部分領域がハッチングを施すべき部分領域であるかを判定する判定手段と、

ハッチングのためのハッチングパターンを格納するパターンメモリと、

前記バッファメモリに格納された部分領域が前記判定手段によりハッチングを施すべきと判定された場合、前記バッファメモリの内容と前

3. 発明の詳細な説明

【産業上の利用分野】

複数の独立した画像を一つの表示画面上で重畳して表示する方式に係り、特にある画像を他の画像と区別して表示する表示方式に関する。

【従来の技術】

最近、原画像を走査して、読み取った画像情報を表示画面上に表示させながら、画面上で画像編集を行う画像編集装置が開発されている。

このような装置において、複数の画像を重畳して表示させる場合、従来の装置は、特開昭57

-161887号公報あるいは特開昭57-146288号公報に記載のように、それぞれの画像を区別するために、各画像の輝度に差を付けて表示している。

すなわち、特開昭57-161887号公報記載の装置においては、第9図に示すように、各画像をそれぞれ個別のメモリに格納し、それぞれのメモリから対応する画像情報を読み出してCRTディスプレイ装置の表示画面に表示する際、それぞれの画像情報の画像の間に輝度差があるような重畳を行う。

また、特開昭57-146288号公報記載の装置においては、第10図に示すように各画素に対して、画像情報を蓄えるプレーンと輝度情報を蓄えるプレーンを持っている。そして、合成画像を作成する際に、画素の輝度を減らして合成することによって、それぞれの画像の間で輝度差があるような重畳を行わせる。

【発明が解決しようとする課題】

一般的に表示画面の画素に1対1に対応する表示要素を有する表示メモリは、1画素に1ビット

を対応させるだけでも大容量必要である。特に、高精細ディスプレイでは、その影響は顕著である。

上記従来技術においては、画像を合成する際に輝度を減らして表示するために、さらに表示メモリが大容量化する。つまり、特開昭57-161887号公報においては、合成する画像数分の表示メモリが必要である。また、特開昭57-146288号公報においては、表示メモリの輝度情報を蓄えるプレーン数が増加する。

このように、上記従来技術においては輝度を減らして表示するために、表示用メモリが大容量化するという問題があった。

本発明の目的は、複数の画像を合成して表示する際に、大容量の表示メモリを必要とせずに、各画像を区別して表示する合成画像の表示方式および装置を提供することにある。

本発明の他の目的は、前記合成画像の表示装置に適したハッチング回路を提供することにある。

本発明のさらに他の目的は、カラー画像をモノクロディスプレイで表示する際に、色の違う部分

を区別して表示することができる合成画像の表示方式を提供することにある。

なお、本発明において、「ハッチング」とは、対象画像に平行斜線を施す場合に限定するものではなく、いわゆる網かけ等の任意のハッチングパターンによる修飾も含むものとする。また、この「修飾」には、対象画像にハッチングパターンを加算する場合だけでなく、画素単位の各種論理演算によって可能な減算、反転等を施す場合も含むものとする。

【作用】

合成画像の表示に際し、まず、合成する第1の画像の画像データを、表示画面の画素に1対1に対応する表示要素を有する表示メモリに書き込む。次に、合成する第2の画像の画像データを、ハッチング回路へ入力する。ハッチング回路において、第2の画像の画像が存在する特定の部分領域に対して、第1の画像と区別するためにハッチングを施す。そして、ハッチングを施された第2の画像の画像データを、第1の画像が書き込まれている

表示メモリに重ね書きをする。最後に、このようにして書き込まれた表示メモリ上の合成画像を表示する。

以上のように、複数の画像を合成して表示する際に、ある画像を他の画像と区別するためにハッチングを施すことによって、大容量の表示メモリを必要とせずに複数の画像を合成して表示する表示方式が実現される。

次に、他の手法について説明する。まず、画像をハッチングを施す単位である部分領域に分割して、その部分領域数の領域を、フラグ格納部（判定結果格納手段）として確保する。そして、合成する第1の画像の画像データを表示メモリに書き込む。次に、合成する第2の画像の画像データを領域判定回路を通してから、表示メモリに重ね書きする。この際、領域判定回路によってどの部分領域に対してハッチングを施すかを決定し、その結果をフラグ格納部に記録する。そして、表示メモリ上の合成画像をCRT等のディスプレイに表示する際に、フラグ格納部を参照して、合成画像

の指定された部分領域に対してハッチングを施してから表示する。

このように、複数の画像を合成して表示する際に、ある画像を他の画像と区別するためにハッチングを施すことによって、大容量の表示メモリを必要とせずに複数の画像を合成して表示する表示方式が可能となる。

また、上記第1、第2の手法において3種類以上の画像を合成する場合には、ハッチングのパターンを変更することによって可能となる。

さらに、図形のベクトルデータを作成したい場合に、図形を表示（フリーハンドも可）した図面をスキャナ等で読取り、この読取り画像に対して図素の間引くハッチングを行う。これにより破線表示された線図が得られ、この線図をなぞるように、ベクトルデータを入力することにより、所望のベクトルデータを迅速かつ容易に作成することができる。作成したベクトルデータに基づく線図は、破線表示された線図に合成表示されるが、一方が破線化されているので、両者は容易に識別さ

れる。

本発明は、特にモノクロディスプレイを用いるシステムに適用して好適である。多色印刷された文書を各色ごとに別個の画像として読取り、一方の画像にハッチングを施して他の画像と合成表示することにより、原画の色の相違をモノクロ画面上で識別認識することができる。

（以下、余白）

【実施例】

以下、本発明の実施例について画面により説明する。

第1図は本発明による一実施例のブロック図である。10は画像に対してハッチングを施すハッチング回路、11はハッチングを施された画像と、施されていない画像とを選択するセレクタ、12は書き込み先の画像データと書き込む画像データを合成する画素合成回路、13は後述する表示メモリや、ハッチング回路10へのデータの書き込み、読み出しを制御するメモリコントローラ、14は各処理を統括的に制御する制御部、15はCRTの同期信号に従って、表示メモリからデータを読み出すCRTコントローラ、16は表示画面の画素と1対1に対応している表示要素を有する表示メモリ、17は画像を表示するCRT、18は画像データが入力される入力端子である。

次に、第1図の表示装置の動作を説明する。

まず、入力端子18より第1の画像の画像データが入力される。制御部14は、セレクタ11や

画素合成回路12やメモリコントローラ13を制御して、第1の画像の画像データをそのまま表示メモリ16へ書き込む。次に、第2の画像の画像データを読み込む前に、制御部14がハッチング回路10へ、ハッチングの手法を設定する。具体的には、後述するような部分領域の分割単位の大きさを設定し、あるいはOR、AND、EOR等の論理演算を指定することになる。例えば、あるハッチングパターンについて、OR演算を指定すれば画像に加算のハッチングがなされ、AND演算を指定すればハッチングパターンに重なる部分以外の画素の間引きが行われる。網かけパターン等、他のハッチングパターンも選択できる場合には、そのパターンの指定も行う。制御部14は、ハッチングの手法に適するような形で、第2の画像の画像データを入力端子18より読み込み、ハッチング回路10へ入力してハッチングを施す。次に、制御部14は、メモリコントローラ13を制御して、書き込み先の画像を読み出して画素合成回路12へ入力すると同時にセレクタ11やハ

ッチング回路10を制御して、ハッチングを施した画像データを画像合成回路12へ入力する。画像合成回路12では、第1の画像と第2の画像を加算して合成画像の画像データをメモリコントローラ13の指示に従って表示メモリ16へ書き込む。

以上により、第1の画像と第2の画像にハッチングを施して、表示メモリ16上に合成することができる。

次に、CRTコントローラ15がCRT17の同期信号に従って、表示メモリ16上の合成画像の画像データを読み出して、CRT17上に表示する。

本実施例によれば、複数の画像を重ねて表示する際に、ある画像に他の画像と区別するために、ハッチングを施して合成することによって、大容量の表示メモリを必要とせずに画像合成を行う合成画像の表示方式を実現できる。

次に、原画像を部分領域ごとに分割して、部分領域あるいは部分領域の周辺の画像の状態によ

て部分領域に対してハッチングを施すハッチング回路の実施例を図面により説明する。

第2図は第1図のハッチング回路10の一構成例のブロック図である。図中、20は、分割された部分領域や部分領域の周辺の画像の状態によって部分領域に対してハッチングを施すかどうかを決定する領域判定回路、21は、ハッチングパターンが格納されているパターンメモリ、22は、部分画像を一時的に蓄えるバッファメモリ、23は各処理を統括的に制御する制御部、24はパターンメモリ21から出力される修飾信号とバッファメモリ22から出力される画像信号を合成することによって、画像にハッチングを施す合成回路、25は入力端子、26は出力端子である。

第3図は、ハッチング回路10の動作を示した模式図である。30はハッチングを施す前の原画像、31はハッチング回路10に入力される部分画像、32はハッチングを施された後の画像を示している。各領域内の丸付き数字は、分割された部分領域を示している。

いとみなすような判定を行うことも可能である。

次に、領域判定回路20に入力された部分領域の画像データを制御部23の指示に従って、バッファメモリ22に書き込む。そして、バッファメモリ22から画像データを読み出す際に、その部分領域がハッチングを施す部分領域であれば、制御部23があらかじめ設定したハッチングパターンが格納されているパターンメモリ21から出される修飾信号と、バッファメモリ22から出力される画像データとを合成回路24で合成することによってハッチングを施す。このようにしてハッチングを施された画像データを出力端子26より出力する。

以上のような構成により、原画像を適当な部分領域に分割して、部分領域あるいはその周辺の画像の状態により、部分領域に対してハッチングを施すハッチング回路が実現できる。

第4図は、本発明の他の実施例のブロック図である。図中、40はハッチングを施す単位である部分領域に対してハッチングを施すかどうかを判

別に、原画像を第3図30に示すよう16個の部分領域に分割して、31に示されるように、各部分領域の画像データを切り出してハッチング回路10へ入力し、画像が存在する部分領域には、32に示されるようなハッチングを施すとする。

そのために、入力端子25より各部分領域の画像データあるいはその周辺の画像データを加えて領域判定回路20に入力する。領域判定回路20は、部分領域やその周辺の画像の状態によって部分領域に対してハッチングを施すかどうかを決定してその結果を制御部23へ伝える。ここでは、画像が存在する部分領域に対してハッチングを施すとする。具体的に言えば、第3図に示される、領域4、5、6、7、13、14の部分領域に対してハッチングを施すとする。

なお、部分領域の大きさが小さい場合に、隣接する上下左右の部分領域内に画像が存在しないことを条件に、あるいはこの条件に加えて更に斜めに隣接する部分領域内に画像が存在することを条件に、その部分領域に画像が存在しても存在しな

定する領域判定回路、41は書き込み先の画像データと書き込む画像データを合成する画素合成回路、42は表示画面に対応している表示メモリ、43は表示メモリの読み込み書き込みを制御するメモリコントローラ、44は各部分領域にハッチングを掛けるかどうかを記録しておくフラグ格納部、45はハッチングパターンが格納されているパターンメモリ、46はAND回路、47はCRTの同期信号に従って、修飾信号や画像信号を読み出すCRTコントローラ、48は表示メモリ42からの信号とAND回路46からの修飾信号を合成する合成回路、49は合成された画像信号を表示するCRTである。

第5図は、第4図におけるフラグ格納部44の模式図である。

本実施例においては、第1の画像と第2の画像を表示メモリ42上で合成して、表示メモリ42からCRT49画面に表示する際に、第2の画像の存在していた領域にハッチングを施してから表示することを特徴とする。

タの状態よりハッチングを施す部分領域を判定してフラグ格納部44にフラグを立てる。例えば、第3図に示される画像の場合、第5図に示されるように、領域4, 5, 6, 7, 13, 14の領域部分にフラグを立てる。従ってハッチングを施す画像を部分領域ごとに入力する必要は無く、順次ラスタ単位で入力しても構わない。

次に、表示する際には、CRTコントローラ47がCRT49の同期信号に従って、表示メモリ42より画像データを読み出し、同時に各部分領域に対してハッチングを施すかどうかのフラグをフラグ格納部44より読み出し、ハッチングのための修飾信号をパターンメモリ45から読み出す。AND回路46により、フラグが立っている場合のみ、修飾信号を合成回路48へ入力する。合成回路48において、表示メモリ42より読み出された画像信号とAND回路46からの修飾信号を合成して、CRT表示画面49において表示する。

本実施例によっても、複数の画像を重ねて表

ここで、説明の簡略のため第1図による第1の実施例と同様な手法によって、第1の画像の画像データは表示メモリ42に書き込まれているとする。

まず、第2の画像をハッチングを施す単位である部分領域の数だけフラグ格納部44に領域を確保する。例えば、第3図に示される様に16個の部分領域に分割する際には、16個の領域をフラグ格納部44に確保する。そして、各部分領域に対して施すハッチングパターンをパターンメモリ45に格納する。

次に、第2の画像の画像データを領域判定回路40を通して、画素合成回路41へ入力する。同時に、メモリコントローラ43の制御に従って、表示メモリ42上の第1の画像の画像データを読み出し、画素合成回路41へ入力する。画素合成回路41において、第1と第2の画像を合成してメモリコントローラ43の制御に従って、表示メモリ42へ書き込む。

また、領域判定回路40は入力された画像デー

タを示す際に、ある画像に他の画像と区別するために、ハッチングを施して合成するので、大容量の表示メモリを必要としない、合成画像の表示方式を実現できる。また、本実施例特有の効果として、第1図のハッチング回路10内のバッファメモリに相当する構成要素は不要となる。また、表示メモリ上で画像を合成しないので、ハッチングパターンのみを変更するような場合に、表示メモリの書換えが不要となり、迅速な変更が行える。

次に、図形のベクトルデータとして入力する装置において、スキャナ等から画像を読み取って、ハッチング等を施して表示画面に表示して、この上をなぞるように、表示画面の任意の位置座標を指示することによってベクトルデータを入力する図形入力装置の一実施例を説明する。

第6図は、上記実施例の構成を示すブロック図である。60は画像を走査することによって画像データに変換するスキャナ、61は読み込まれた画像に対してハッチング等を施すハッチング回路、62は表示メモリ上の画像データと入力された画

像データを合成する画像合成回路、63は表示メモリ、64は画像を表示するCRT、65はメモリコントローラ、66はCRTコントローラ、67は表示画面上に図形の端点等を指定して、図形をベクトルデータとして入力する座標入力デバイス、68は座標入力デバイスからの信号よりベクトルデータを発生するベクトル図形発生部、69はベクトルデータを蓄えるベクトルデータメモリ、610はベクトルデータを画像データに変換する画像変換部である。

第7図は、上記実施例の動作を示す模式図である。70は紙などに書かれた原画像、71は原画像を白ハッチングして表示した表示画像である。また、72は図形を入力中の表示画像、73は図形入力完了後の表示画像である。

まず、スキャナ60より、紙に書かれた原画像70を走査することによって読み込み電気的な画像データに変換する。原画像70上の線図はフリーハンドで描かれたものであってもよい。入力された画像データは、ハッチング回路61において

ハッチングを施す。例えば、画像を間引くことによって白ハッチングを施す。修飾された画像信号は、画像合成回路62を通過して、メモリコントローラ65の制御に従って表示メモリ63に書き込む。ここで、表示メモリ63上の画像は、CRT64の同期信号に従って読み出され、CRT64で表示画像71を表示する。

次に、操作者は表示画像72に示されるように、座標入力デバイス67によって、表示画面上の端点を指定することによって、図形をベクトルデータとして入力する。ベクトル図形発生部68は、座標入力デバイス67から入力された信号より、ベクトル図形を発生して、ベクトルデータメモリ69に蓄積する。同時に、ベクトルデータを画像変換部610において画像データに変換する。変換された画像データはメモリコントローラ65によって読み出された転送先の画像データと画像合成回路62によって合成され表示メモリ63に書き込む。表示画像73で示されるようになる。

以上により、上記実施例によれば、図形を一旦

スキャナ等で画像データとして読み込み、作成する画像と区別するためにハッチングを施してから表示し、その表示画面を見ながら座標入力デバイスで会話形式に入力できるので、効率の良い図形入力装置を実現できる。

次に、多色で印刷された文書をモノクロディスプレイで表示する際に、それぞれの色別にスキャナで読み込み、別々に蓄積して、表示する際には黒以外の部分にはハッチングを施してから合成して表示する文書ファイリングシステムの一実施例を説明する。

第8図は、上記実施例の動作を示す模式図である。80は多色で紙に印刷された文書、ここでは点線で囲まれた部分は赤文字で書かれており、他の部分は黒文字で書かれているとする。81はスキャナで別々に読み込まれた赤文字の部分の画像データ、82は黒文字の部分の画像データ、83は赤文字部分にハッチングを施してから合成されて表示されている表示画面である。

まず、赤と黒で印刷されている文書80をスキ

ャナ等より読み込み光ディスク等に蓄積する際に、赤文字部分81と黒文字部分82を別々の画像として光ディスクに蓄積する。この画像をモノクロディスプレイに表示する際には、各画像を読み出して、赤文字の部分にハッチングを施してから、合成してディスプレイに表示する。

以上により、上記実施例によれば、多色で印刷された文字を安価なモノクロディスプレイ上で赤文字の部分と黒文字の部分とを区別して表示することができる電子ファイリング装置を実現できる。

また、上記第1図から第5図による各実施例において、ハッチングを施す代わりに画像の特定の矩形領域を白黒反転することによって他の画像と区別する方式でも構わない。

さらに、上記第1図および第6図の実施例におけるハッチング回路は、第2図と第3図による実施例におけるハッチング回路に限定するものではなく、例えば、画像を適当な間隔で間引くことによって白ハッチングを施すような簡単な回路でも構わない。

【発明の効果】

本発明によれば、複数の画像を合成して表示する場合、ある画像に対して他の画像と区別するために、ハッチングを施して表示することによって大容量の表示メモリを必要としない合成画像の表示方式が実現できる。

また、カラー画像をモノクロディスプレイで表示する際に、色の違う部分に対してハッチングを施すことによって区別することができる。

4. 図面の簡単な説明

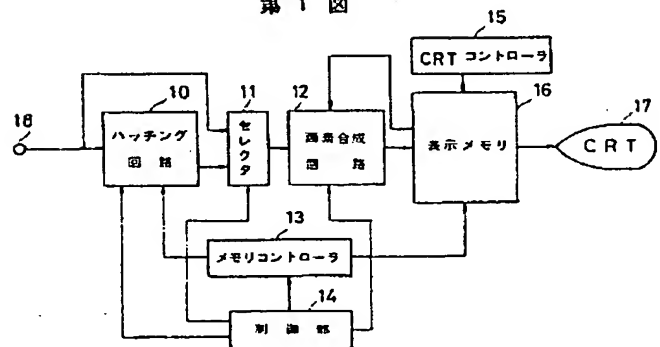
第1図は本発明に係る一実施例を示すブロック図、第2図は本発明に係る他の一実施例を示すブロック図、第3図は第2図における動作を示す模式図、第4図は本発明の他の一実施例を示すブロック図、第5図は第4図におけるフラグ格納部の模式図、第6図は本発明における他の一実施例を示すブロック図、第7図は第6図における動作を示す模式図、第8図は他の一実施例の動作を示す模式図、第9図は従来技術の模式図、第10図は従来技術の模式図である。

の画像データ、82…黒文字部分の画像データ、83…表示画面。

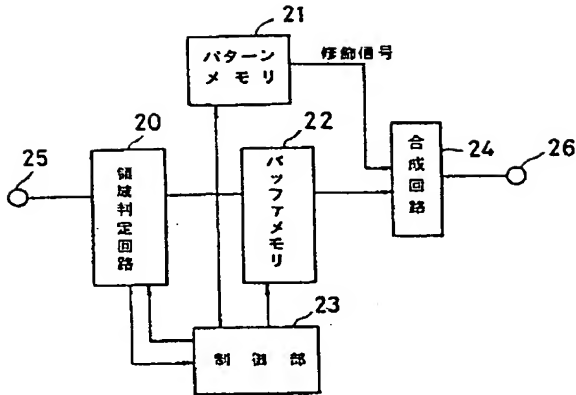
出願人 株式会社 日立製作所
代理人 井理士 富田 和子

10…ハッチング回路、11…セレクタ、12…画像合成回路、13…メモリコントローラ、14…制御部、15…CRTコントローラ、16…表示メモリ、17…CRT、18…入力端子、20…領域判定回路、21…パターンメモリ、22…バッファメモリ、23…制御部、24…合成回路、25…入力端子、26…出力端子、30…原画像、31…部分画像、32…ハッチングを施された後の画像、40…領域判定回路、41…画像合成回路、42…表示メモリ、43…メモリコントローラ、44…フラグ格納部、45…パターンメモリ、46…AND回路、47…CRTコントローラ、48…合成回路、49…CRT、60…スキャナ、61…ハッチング回路、62…画像合成回路、63…表示メモリ、64…CRT、65…メモリコントローラ、66…CRTコントローラ、67…座標入力デバイス、68…ベクトル図形発生部、69…ベクトルデータメモリ、70…原画像、71…表示画面、72…表示画面、73…表示画面、80…文書、81…赤文字部分

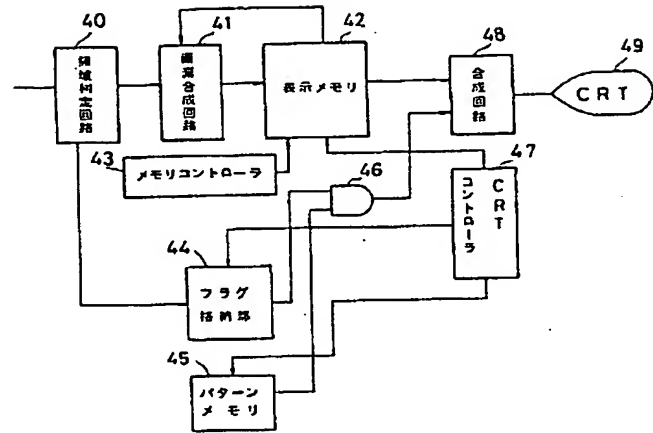
第1図



第 2 図



第 4 図

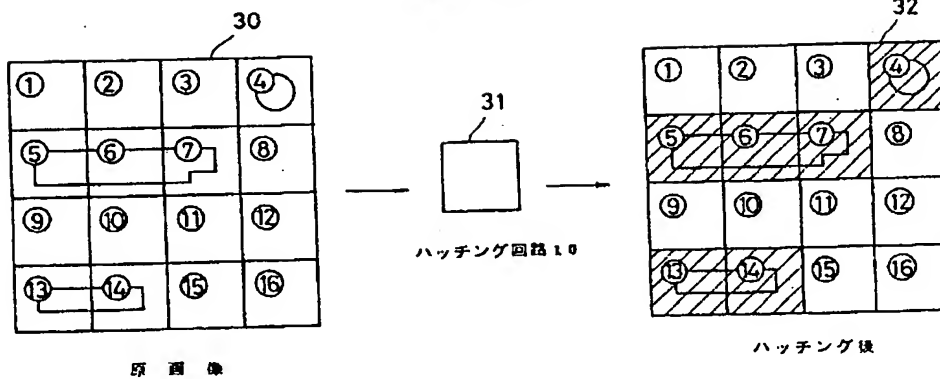


第 5 図

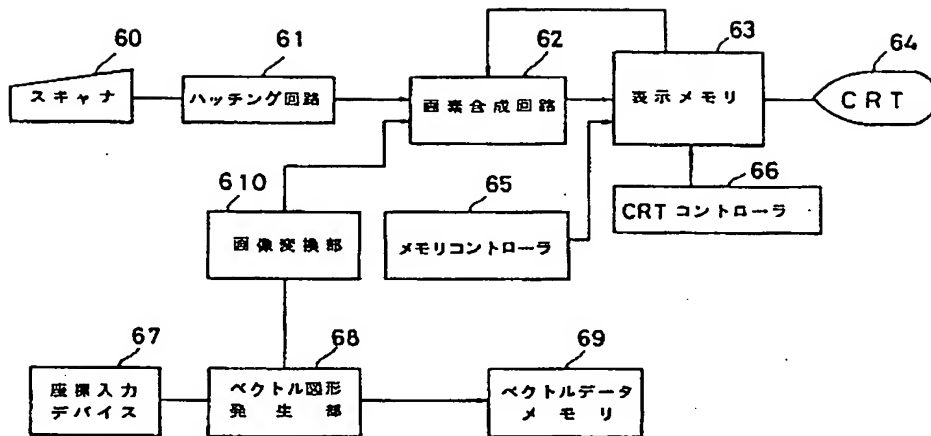
0	0	0	1
1	1	1	0
0	0	0	0
1	1	0	0

フラグ格納部 44

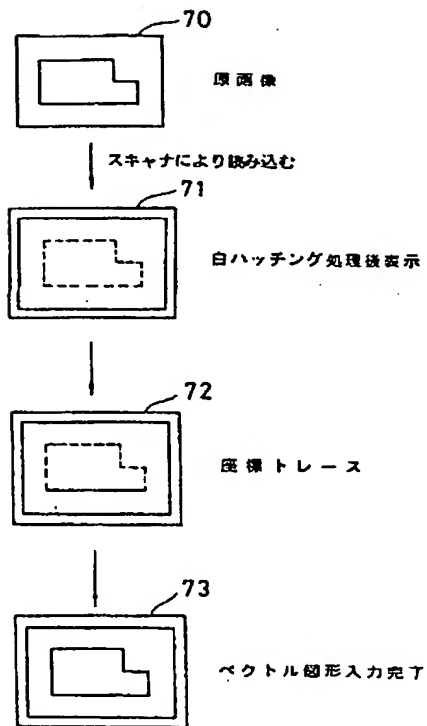
第 3 図



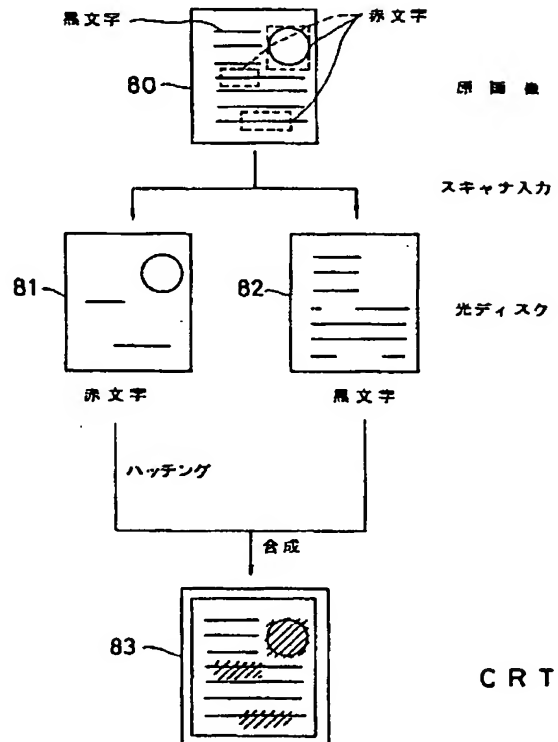
第 6 図



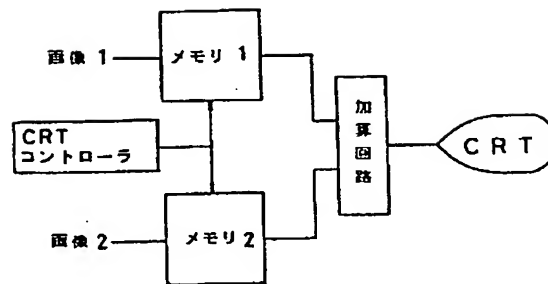
第 7 図



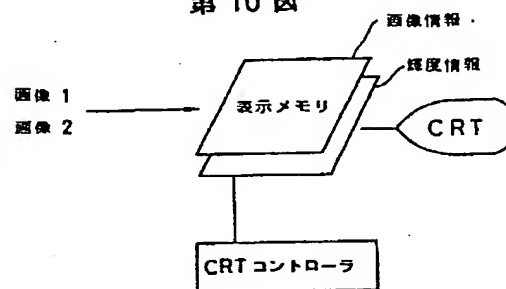
第 8 図



第 9 図



第 10 図



第 1 頁の続き

⑦発 明 者 増 崎

秀 文

神奈川県小田原市国府津2880番地 株式会社日立製作所小田原工場内